

Application No. : 10-1997-0060809

Publication No. : 10-1999-0040435

The present invention relates to a memory device commonly sharing at least one input/output line with neighboring memory banks and simultaneously being aligned not to increase a capacitance load of said at least one input/output line along with improved layout efficiency. The memory device includes: a plurality of memory banks; at least one input/output line being commonly shared with the plurality of memory banks and transmitting a data being in one of a state that the data is written into each memory bank and another state that the data is read out from said each memory bank; a bit line sense amplifier placed in each of the memory banks, sensing bit line data of said each memory bank outputted in response to a row address and then amplifying the sensed bit line data; a bank selection switch being aligned to correspond to the bit line sense amplifier and transmitting an output signal of the bit line sense amplifier by activating a bank selection signal; and a column selection switch being commonly shared with the plurality of memory banks and transmitting the output signal transmitted by the bank selection switch to said at least input/output line.

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51)○Int. Cl. 6

G11C 7 /00

(11) 공개번호

특 1999-0040435

(21) 출원번호 10-1997-0060809

(43) 공개일자

1999년06월05일

(22) 출원일자 1997년 11월 18일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기도 수원시 팔달구 매탄3동 416

한용주

(74) 대리인 경기도 성남시 분당구 구미동 무지개마을 신한아파트 304동 905호  
권석률, 노민식, 이영필

설사청구 : 없음

(54) 입출력 라인을 공유한 복수개의 메모리 뱅크를 구비한 메모리장치

## 요약

이웃한 메모리 뱅크와 입출력 라인을 공유함과 동시에 입출력 라인의 용량성 부하가 증가되지 않도록 배치되고, 레이아웃 효율이 향상된 메모리 장치에 관해 기재하고 있다. 이는, 복수개의 메모리 뱅크와, 상기 복수개의 메모리 뱅크들에 공유 되며, 각 메모리 뱅크로 기입되거나 메모리 뱅크로부터 출력되는 데이터를 전송하는 적어도 하나의 입출력 라인과, 상기 메모리 뱅크 각각에 배치되고, 로우 어드레스에 응답하여 출력되는 상기 메모리 뱅크의 비트라인 데이터를 감지하고 증폭하는 비트라인 감지 증폭기와, 상기 비트라인 감지증폭기에 대응되도록 배치되며, 상기 뱅크 선택 신호의 활성화에 의하여 상기 비트라인 감지 증폭기의 출력신호를 전송하는 뱅크 선택 스위치와, 상기 복수개의 메모리 뱅크에 공유되며, 상기 뱅크 선택 스위치에 의해 전송된 신호를 상기 데이터 입출력 라인에 전송시키는 칼럼 선택 스위치를 구비한다.

## 대포도

## 도3

## 영세서

## 도면의 간단한 설명

도 1은 두 개의 메모리 뱅크를 구비한 종래의 반도체 메모리 장치의 메모리 뱅크와 입출력 라인의 배치를 보여주는 도면이다.

도 2는 메모리 뱅크와 입출력 라인을 배치하는 종래의 다른 일 예를 보여주는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 메모리 장치를 도시한 개략적 블록도이다.

도 4는 도 3에 도시된 두 개의 메모리 뱅크를 구비한 경우에서, 메모리 뱅크와 입출력 라인의 배치를 보여주는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 메모리 장치를 도시한 개략적 블록도이다.

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 복수의 메모리 뱅크가 입출력 라인을 공유한 메모리 장치에 관한 것이다.

반도체 메모리 장치가 고집적화됨에 따라 필연적으로 칩 사이즈의 증가가 수반된다. 이에 따라, 일반적인 워드라인, 비트라인, 및 데이터 버스의 구조로는 메모리 장치의 고속화 및 저전력화에 한계가 있다는 인식과 함께, 이를 배선들을 적절히 배치하여 용량성 부하를 줄임으로써 지연시간을 줄이려는 시도가 활발하다. 특히, 비트라인 감지 증폭기(bit line sense amplifier)로부터 증폭된 데이터를 외부로 읽어내는 입출력 라인은 특정 데이터 출력 패드에 까지 데이터를 전송하여야 하기 때문에 길이가 길어져 고속화가 어렵다.

도 1은 두 개의 메모리 뱅크를 구비한 종래의 반도체 메모리 장치(10)에 있어서, 메모리 뱅크와 입출력 라인의 배치를 보여주는 도면이다.

그 구조를 살펴보면, 메모리 셀 어레이는 뱅크 A와 뱅크 B로 나뉘어져 있으며, 각 메모리 뱅크는 동일한 크기를 갖는 8개의 블록(12~26, 52~66)으로 분할되어 있다. 각 메모리 블록에는 입출력 라인(/0, /1)이 배치되어 있으며, 각 입출력 라인에는 입출력 감지 증폭기(28)와 기입 드라이버(30)가 배치되어 있다. 칩의 외곽에는, 복수개의 데이터 입출력 패드(32)가 배치되어 있다.

도시된 바와 같이, 뱅크 A와 뱅크 B의 메모리 블록들 중 상부와 하부에 대응되도록 배치된 메모리 블록들은 동일한 데이터 입출력 핀(DQ0~DQ7)을 통해 메모리 뱅크에 데이터를 기입하거나 외부로 데이터를 전송한다. 예를 들어, 뱅크 A와 뱅크 B의 첫 번째 블록(12, 52) 각각에 배치된 입출력 라인은 하나의 데이터 경로로 합체되어 하나의 데이터 입출력 핀(DQ0)에 연결된다. 따라서, 도시된 바와 같이 패드(32)들이 칩의 외곽에 배치된 경우 특정 데이터 출력 패드에 이르기 위한 한쪽 뱅크의 데이터 라인은 매우 길어지게 된다.

즉, 언급된 종래의 구조에 따르면, 뱅크 A 내의 하나의 블록과 이에 대응되는 뱅크 B내의 하나의 블록이 하나의 입출력 라인으로 멀티플렉싱되어야 하므로, 입출력 라인의 길이가 길어지게 되어 칩의 동작속도가 저하된다. 또한, 각 메모리 블록에 독립적인 입출력 감지 증폭기(28)와 기입 드라이버(30)가 배치되어야 하므로 칩의 면적이 증가된다. 뿐만 아니라, 메모리 제조 공정 기술의 발달로 메모리 셀 크기가 작아지고, 이에 따른 메모리 블록의 폭(a)이 점차 작아져, 메모리 블록당 요구되는 입출력 감지 증폭기와 기입 드라이버 배치를 위한 공간 확보가 어려운 문제가 있다. 특히, 출력 밴드 폭(bandwidth)을 증가시키기 위해 다수의 입출력 라인을 채용하는 경우, 메모리 뱅크별로 다수의 입출력 감지 증폭기(28)와 기입 드라이버(30)를 위한 레이아웃 공간이 확보되기 어렵다.

도 2는 메모리 뱅크와 입출력 라인을 배치하는 종래의 다른 일 예를 보여주는 도면으로서, 도 1에서와 동일한 참조부호는 동일한 부재를 나타낸다.

도 2에 도시된 바와 같이, 메모리 어레이인 뱅크 A와 뱅크 B로 나뉘어져 있으며, 각 메모리 뱅크는 동일한 크기를 갖는 8개의 블록(12~26, 52~66)으로 분할되어 있다. 상부에 배치된 뱅크 A의 블록 하나에 대응되도록 뱅크 B의 블록 하나가 하부에 배치되어 있다. 대응되는 뱅크 A와 뱅크 B의 메모리 블록들은 입출력 라인(/0, )을 공유하고 있다.

상기 구조에 따르면, 두 개의 메모리 블록이 입출력 라인을 공유하고 있으므로, 요구되는 입출력 감지 증폭기(28)와 기입 드라이버(30) 개수가 줄어들어 레이아웃 면적을 감소시킬 수 있다.

그러나, 뱅크 A와 뱅크 B가 상부와 하부에 위치하고 있으므로 입출력 라인의 길이가 길고, 입출력 라인에 접속되어 있는 칼럼 선택 스위치의 개수가 도 1에 도시된 경우에 비해 두배로 증가된다. 따라서, 입출력 라인의 용량성 부하가 증가되어 메모리 장치의 동작속도가 저하되는 문제가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 이웃한 메모리 뱅크와 입출력 라인을 공유함과 동시에 입출력 라인의 용량성 부하가 증가되지 않도록 배치되고, 레이아웃 효율이 향상된 메모리 장치를 제공하는 것이다.

#### 발명의 구성 및 작용

상기 과제를 달성하기 위한 본 발명에 따른 메모리 장치는, 복수개의 메모리 뱅크와, 상기 복수개의 메모리 뱅크들에 공유되며, 각 메모리 뱅크로 기입되거나 메모리 뱅크로부터 독출되는 데이터를 전송하는 적어도 하나의 입출력 라인과, 상기 메모리 뱅크 각각에 배치되고, 로우 어드레스에 응답하여 출력되는 상기 메모리 뱅크의 비트라인 데이터를 감지하고 증폭하는 비트라인 감지 증폭기와, 상기 비트라인 감지 증폭기의 출력을, 칼럼 어드레스에 의해 선택되는 칼럼선택라인과 소정의 뱅크 선택 신호의 활성화에 의해 상기 입출력 라인으로 전송하는 칼럼선택 스위치부를 구비한다.

상기 칼럼선택 스위치부는, 상기 비트라인 감지증폭기에 대응되도록 배치되며, 상기 뱅크 선택 신호의 활성화에 의하여 상기 비트라인 감지 증폭기의 출력신호를 전송하는 뱅크 선택 스위치와, 상기 복수개의 메모리 뱅크에 공유되며, 상기 뱅크 선택 스위치에 의해 전송된 신호를 상기 데이터 입출력 라인에 전송시키는 칼럼 선택 스위치를 구비하며, 상기 뱅크 선택 신호는, 선택된 메모리 뱅크로부터 출력되는 비트라인 데이터가 충분히 증폭된 후에 활성화되는 신호이다.

본 발명에 따른 반도체 메모리 장치는, 횡방향으로 이웃한 복수개의 메모리 뱅크가 입출력 라인을 공유하므로, 종방향으로 이웃한 경우에 비해 입출력 라인의 길이가 거의  $1/2$ 로 감소되어 메모리 장치의 동작속도가 빨라지게 된다. 또한, 입출력 라인 감지 증폭기와 기입 드라이버가 복수개의 블록 폭 내에 배치되면 되므로 메모리 셀의 크기가 작아져 메모리 블록이 작아지더라도, 종래에 비해 공간적인 여유를 확보할 수 있다. 따라서, 출력 밴드 폭을 증가시키기 위해 다수의 입출력 라인 구조를 채용하더라도 이에 대응되는 다수개의 입출력 감지 증폭기와 기입 드라이버가 배치되는 공간이 확보된다. 뿐만 아니라, 복수개(N개)의 메모리 뱅크에 칼럼 선택 스위치가 공유되므로, 입출력 라인과 접속되는 칼럼 선택 스위치의 개수가  $1/N$ 로 감소되어, 기생 용량이 작아져 데이터 전송 속도가 증가될 수 있다..

이하, 첨부한 도면을 참조하여 본 발명을 더욱 상세하게 설명하고자 한다.

도 3은 본 발명의 제1 실시예에 따른 메모리 장치를 도시한 개략적 블록도로서, 두 개의 메모리 뱅크를 구비한 경우를 예로 들었다.

도시된 바와 같이, 본 발명에 따른 메모리 장치(100)에서 메모리 셀 어레이인, 복수개 예를 들어 뱅크 A와 뱅크 B로 분할된다. 상기 뱅크 A 및 뱅크 B는, 동일한 크기를 갖는 복수개, 예컨대 8개의 메모리 블록들(102~116, 202~216)로 각각 분할되며, 뱅크 A와 뱅크 B의 각 메모리 블록들은 횡방향으로 서로 교번하여 배치된다. 즉, 뱅크 A의 제1 블록(102)과 뱅크 B의 제1 블록(202), 뱅크 A의 제2 블록(104)과 뱅크 B의 제2 블록(204)이 횡방향으로 인접하여 배치되며, 나머지 12개

의 블록들도 이와 유사하게 배치된다. 한 쌍의 메모리 블록, 예를 들어 뱅크 A의 제1 블록(102)과 뱅크 B의 제1 블록(202)은 입출력 라인(I/O, )이 공유되도록 배치된다. 따라서, 한 쌍의 메모리 블록 즉, 메모리 두 개당 입출력 라인 감지 증폭기(150)와 기입 드라이버(160)가 하나씩 배치된다. 메모리 장치(100)의 외곽에는 복수개의 데이터 입출력 패드들(170)이 배치되어 있다.

이와 같이, 종방향으로 이웃한 메모리 블록 두 개가 입출력 라인을 공유하던 종래(도 2 참조)와는 달리 본 발명에 따르면 횡방향으로 이웃한 메모리 블록 두 개가 입출력 라인을 공유한다. 따라서, 입출력 라인의 길이가 거의  $1/2$ 로 감소되어 메모리 장치의 동작속도가 빨라지게 된다. 또한, 도시된 바와 같이, 입출력 라인 감지 증폭기(150)와 기입 드라이버(160)가 두 개의 메모리 블록(2a)내에 배치되면 되므로, 메모리 셀의 크기가 작아져 메모리 블록(2a)이 작아지더라도 종래에 비해 공간적인 여유를 확보할 수 있다. 따라서, 출력 밴드 폭을 증가시키기 위해 다수의 입출력 라인 구조를 채용하더라도 이에 대응되는 다수개의 입출력 감지 증폭기와 기입 드라이버가 배치되는 공간이 확보된다. 뿐만 아니라, 입출력 라인과 접속되는 칼럼 선택 스위치의 개수가  $1/2$ 로 감소되어, 기생 용량이 작아져 데이터 전송 속도가 증가될 수 있다. 이를 도 4를 참조하여 설명한다.

도 4는 도 3에 도시된 두 개의 메모리 뱅크를 구비한 경우에서, 메모리 뱅크와 입출력 라인의 배치를 보여주는 도면이다.

도 4에 도시된 바와 같이, 본 발명에 따른 메모리 장치에는, 횡렬로 배치된 복수개의 메모리 뱅크, 예를 들어 뱅크 A와 뱅크 B가 구비된다. 상기 메모리 장치에는 또한, 상기 뱅크 A와 뱅크 B에 공유된 입출력 라인(I/O, )과 각 메모리 뱅크의 각 비트라인(BL, )에 대응되는 비트라인 감지 증폭기들(130, 140, 230, 240)이 구비된다.

상기 입출력 라인(I/O, )은 각 메모리 뱅크로 기입되거나 메모리 뱅크로부터 독출되는 데이터를 전송하는 역할을 하며, 상기 비트라인 감지 증폭기들(130, 140, 230, 240)은 로우 어드레스(row address)에 응답하여 출력되는 비트라인(BL, ) 데이터를 감지하고 증폭하는 역할을 한다. 본 발명의 일 실시예에 따른 상기 입출력 라인(I/O, )은 출력 밴드 폭을 증가시킬 수 있도록 복수개로 구성될 수 있으며, 이 경우, 각 입출력 라인에 입출력 라인 감지 증폭기(150)와 기입 드라이버(160)가 배치된다.

상기 입출력 라인(I/O, )과 비트라인 감지 증폭기들(130, 140, 230, 240)은 칼럼 선택 스위치부들(180, 190)을 통해 연결된다. 상기 칼럼 선택 스위치부들(180, 190) 각각은, 뱅크 선택 스위치들(132, 142, 232, 242)과 칼럼 선택 스위치들(134, 144)을 구비한다. 본 발명의 바람직한 실시예에 따르면, 상기 뱅크 선택 스위치들(132, 142, 232, 242)은 메모리 뱅크별로 배치된 비트라인 감지 증폭기들에 대응되도록 배치되며, 상기 칼럼 선택 스위치들(134, 144)은 복수개의 메모리 뱅크 즉, 뱅크 A와 뱅크 B에 공유된다.

상기 뱅크 선택 스위치들(132, 142, 232, 242)과 칼럼 선택 스위치들(134, 144)은 비트라인 감지 증폭기들(130, 140, 230, 240)과 입출력 라인(I/O, ) 사이에 위치하여, 대응되는 비트라인 감지 증폭기들로부터 출력되는 데이터를 입출력 라인으로 전송하거나, 외부로부터 입력되는 데이터를 상기 비트라인 감지 증폭기로 전달한다.

뱅크 A와 뱅크 B에 공유된 상기 칼럼 선택 스위치들(134, 144)은 칼럼 어드레스에 의해 선택되는 칼럼선택라인(CSLi, CSLn)과 접속되어 칼럼선택라인의 활성화에 의해 구동된다. 상기 뱅크 선택 스위치들(132, 142, 232, 242)은 별도의 뱅크 선택 신호들( $\phi$  BSA,  $\phi$  BSB)의 활성화에 의해 구동된다. 상기 뱅크 선택 신호들( $\phi$  BSA,  $\phi$  BSB)은, 대응되는 메모리 뱅크의 로우 액티브 동작으로부터 일정시간 지연된 후 구동되는 신호들로써, 바람직하게는, 선택된 메모리 뱅크 내의 메모리 셀이 비트라인과 전하를 공유하는 동작과, 비트라인 감지증폭기들(130, 140, 230, 240)이 비트라인 쌍의 전압차를 증폭하는 동작 후에 활성화되는 신호이다.

상기 칼럼 선택 스위치들(134, 144) 및 뱅크 선택 스위치들(132, 142, 232, 242)은 엔모스(NMOS) 트랜지스터로 구성될 수 있으며, 칼럼 선택 스위치 및 뱅크선택 제어 스위치 모두 턴-온(turn-on)되어야만 메모리 셀로 데이터를 기입하거나 메모리 셀로부터 데이터를 독출하는 동작이 가능하게 된다. 즉, 본 발명에 따른 칼럼선택 스위치부들(134, 144)은, 칼럼선택라인이 활성화되어 뱅크 A와 뱅크 B에 공유된 칼럼 선택 스위치들(134, 144)이 턴-온된다 할지라도, 뱅크 선택 스위치들(132, 142, 232, 242)이 턴-온되지 않으면, 데이터의 기입이나 독출동작이 불가능하도록 구성되어 있다.

이와 같이, 메모리 뱅크의 로우 액티브 등작이 원료된 상태에서 메모리 뱅크 정보를 입력하여 해당되는 메모리 뱅크로부터 데이터를 독출하기 때문에, 복수개의 메모리 뱅크에 공유된 입출력 라인에 선택적으로 하나의 데이터가 실리게 된다.

전술된 바와 같이, 뱅크 A와 뱅크 B는 입출력 라인을 공유할 뿐만 아니라, 칼럼 선택 스위치들도 공유한다. 이에 따라, 입출력 라인과 접속되는 칼럼 선택 스위치의 개수가 종래에 비해  $1/2$ 로 감소된다. 따라서, 입출력 라인에 존재하는 용량성 부하가 작아져 데이터 전송 속도가 증가될 수 있다.

도 5는 본 발명의 제2 실시예에 따른 메모리 뱅크의 배치를 보여주는 도면으로서, 4 개의 메모리 뱅크를 구비한 경우를 예로 들었다. 본 발명의 제2 실시예는 4개의 메모리 뱅크를 구비한 경우를 제외하고는 상기 제1 실시예와 동일하며, 동일한 참조부호는 동일 부재를 나타낸다.

도시된 바와 같이, 본 발명의 다른 실시예에 따른 메모리 장치(300)에서 메모리 셀 어레이는, 4 개의 메모리 뱅크들(뱅크 A, 뱅크 B, 뱅크 C 및 뱅크 D)로 분할된다. 뱅크 A 내지 뱅크 D는 각각, 동일한 크기를 갖는 복수개. 예컨대 4개의 메모리 블록들(302~308, 402~408, 502~508, 602~608)로 각각 분할되며, 각 블록들은 횡방향으로 서로 교번하여 배치된다. 즉, 뱅크 A의 제1 블록(302)과 뱅크 B의 제1 블록(402), 뱅크 C의 제1 블록(502), 뱅크 D의 제1 블록(602)은 횡방향으로 인접하여 배치되며, 나머지 12개의 블록들도 이와 유사하게 배치된다. 네 개의 메모리 블록들, 예를 들어 뱅크 A, B, C, D의 제1 블록들(302, 402, 502, 602)은 입출력 라인(/0, /1)을 공유하도록 배치된다. 따라서, 4 개의 메모리 블록당 입출력 라인 감지-증폭기(150)와 기입-드라이버(160)가 하나씩 배치된다. 여기서, 출력-밴드-풀을 증가시키기 위해 상기 입출력 라인이 복수개 구비되는 경우, 상기 입출력 라인 감지 증폭기(150)와 기입 드라이버(160)는 입출력 라인과 동일한 개수로 구비된다.

### 발명의 효과

상술한 바와 같이 본 발명의 반도체 메모리 장치에 따르면 다음과 같은 잇점이 있다.

첫째, 횡방향으로 이웃한 복수개의 메모리 뱅크가 입출력 라인을 공유하므로, 입출력 감지 증폭기와 기입 드라이버를 공유할 수 있어 레이아웃 면적을 감소시킬 수 있다.

둘째, 복수개(N개)의 메모리 뱅크에 칼럼 선택 스위치가 공유되므로, 입출력 라인과 접속되는 칼럼 선택 스위치의 개수가  $1/N$ 로 감소되어, 기생 용량이 작아져 데이터 전송 속도가 증가될 수 있다.

셋째, 입출력 라인 감지 증폭기와 기입 드라이버가 복수개의 블록 폭 내에 배치되면 되므로 메모리 셀의 크기가 작아져 메모리 블록 폭이 작아지더라도, 종래에 비해 공간적인 여유를 확보할 수 있다. 따라서, 출력-밴드-풀을 증가시키기 위해 다수의 입출력 라인 구조를 채용하더라도 이에 대응되는 다수개의 입출력 감지 증폭기와 기입 드라이버가 배치되는 공간이 확보되어 레이아웃 효율이 향상된다.

### (57) 청구의 범위

#### 청구항 1. 복수개의 메모리 뱅크:

상기 복수개의 메모리 뱅크들에 공유되며, 각 메모리 뱅크로 기입되거나 메모리 뱅크로부터 독출되는 데이터를 전송하는 적어도 하나의 입출력 라인;

상기 메모리 뱅크 각각에 배치되고, 로우 어드레스에 응답하여 출력되는 상기 메모리 뱅크의 비트라인 데이터를 감지하고 증폭하는 비트라인 감지 증폭기; 및

상기 비트라인 감지 증폭기의 출력을, 칼럼 어드레스에 의해 선택되는 칼럼선택라인과 소정의 뱅크 선택 신호의 활성화에 의해 상기 입출력 라인으로 전송하는 칼럼선택 스위치부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2. 제1항에 있어서, 상기 칼럼선택 스위치부는,

상기 비트라인 감지증폭기에 대응되도록 배치되며, 상기 뱅크 선택 신호의 활성화에 의하여 상기 비트라인 감지 증폭기의 출력신호를 전송하는 뱅크 선택 스위치; 및

상기 복수개의 메모리 뱅크에 공유되며, 상기 뱅크 선택 스위치에 의해 전송된 신호를 상기 데이터 입출력 라인에 전송시키는 칼럼 선택 스위치를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3. 제2항에 있어서, 상기 뱅크 선택 신호는,

선택된 메모리 뱅크로부터 출력되는 비트라인 데이터가 충분히 증폭된 후에 활성화되는 신호인 것을 특징으로 하는 반도체 메모리 장치.

청구항 4. 제2항에 있어서, 상기 칼럼 선택 스위치와 뱅크 선택 스위치는 NMOS 트랜지스터로 구성된 것을 특징으로 하는 반도체 메모리 장치.

청구항 5. 제1항에 있어서, 상기 복수개의 메모리 뱅크는,

횡렬로 적어도 1회 이상 교번하게(alternatively) 배치된 복수개의 메모리 뱅크를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6. 제1항에 있어서, 상기 메모리 장치는,

상기 비트라인 감지 증폭기로부터 상기 입출력 라인에 전달된 신호를 감지하고 증폭하여 출력하도록 상기 입출력 라인 개수만큼 설치된 입출력 감지 증폭기; 및

상기 입출력 감지 증폭기로부터 출력되는 신호를 전송하는 기입 드라이버를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

도면

도면 1









